

(54) LC COMPOSITE COMPONENT

(11) 1-192106 (A) (43) 2.8.1989 (19) JP

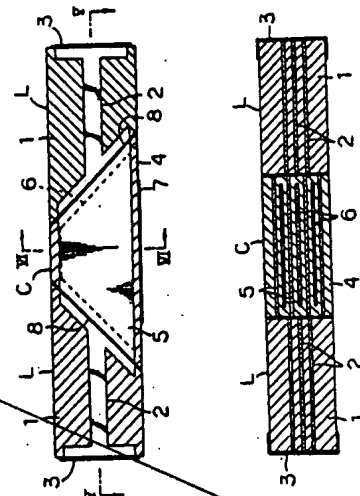
(21) Appl. No. 63-16514 (22) 27.1.1988

(71) MURATA MFG CO LTD (72) YUKIO SAKABE(1)

(51) Int. Cl. H01F15/00, H01G4/40, H01G4/42, H03H7/075

PURPOSE: To contrive reduction in mounting space and to suppress the generation of lead inductance by a method wherein a T-type LC circuit is constituted by a pair of chip inductors and a chip capacitor.

CONSTITUTION: A pair of chip inductors L, on which a conductor line is exposed to both ends, are oppositely provided on both ends of the exposed chip capacitor C on which an internal electrode 6 is exposed to both ends and another internal electrode 5 is exposed to the side face respectively. The opposing end faces of the chip capacitor and the chip inductor L are connected through the intermediary of a conductivity connected layer 8, an internal electrode 2 connected to the internal electrode 6 on one side is provided on the side face of the chip capacitor C, and at the same time, the external electrode 3 which is connected to one end of the conductive line is provided on the outer end part of each chip inductor L, and an LC composite component is constituted. The component constituting a T-type LC circuit can be brought into the state of chip of single component, and also as the chip inductor and the chip capacitor, which are component parts, are connected by a thin conductivity connecting layer, the composition of lead inductance can be made small.



(54) LC COMPOSITE COMPONENT

(11) 1-192107 (A) (43) 2.8.1989 (19) JP

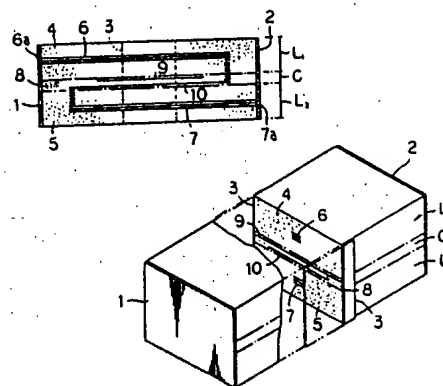
(21) Appl. No. 63-16517 (22) 27.1.1988

(71) MURATA MFG CO LTD (72) HIROSHI MORII(3)

(51) Int. Cl. H01F15/00, H01G4/40, H01G4/42, H03H7/075

PURPOSE: To contrive formation into the state of chip of the electronic component constituting an LC circuit by a method wherein a capacitor layer is pinched between a pair of inductor layers, they are integrally formed by lamination, an external electrode is provided at both ends and the intermediate part of the above-mentioned laminated body respectively, and the prescribed connecting work is conducted.

CONSTITUTION: On the inductor layers L_1 and L_2 constituted on the chip component of 3-layer structure having a capacitor layer C in a pinching manner between a pair of upper and lower inductor layers L_1 and L_2 , a plurality of internal electrodes 6 and 7 are buried in magnetic bodies 4 and 5 respectively as a conductive line. On the capacitor layer C, a pair of internal electrodes 9 and 10 are buried opposing in vertical direction on a dielectric 8. Out of the two inductor layers L_1 and L_2 , the outer edge 6a of the internal electrode 6 of the upper inductor layer L_1 is connected to the external electrode 1 on one side, and the outer edge 7a of the internal electrode 7 of the lower layer inductor layer L_2 is connected to the other external electrode 2 respectively, the inner end of the internal electrodes 6 and 7 of both inductor layers L_1 and L_2 is connected to the internal electrode 10 on the lower side of the capacitor C, and the internal electrode 9 on the upper side of the capacitor layer C is connected to the external electrode 3 located in the middle part respectively.



(54) MANUFACTURE OF CAPACITOR

(11) 1-192108 (A) (43) 2.8.1989 (19) JP

(21) Appl. No. 63-17666 (22) 27.1.1988

(71) MARCON ELECTRON CO LTD (72) HIROSHI SHIMADA

(51) Int. Cl. H01G4/06, H01G13/00, H01G9/02

PURPOSE: To obtain the capacitor having excellent cumulative efficiency, a small leakage current, a small irregularity and high withstand voltage by a method wherein a single molecular film is accumulated after the metal foil, which becomes a substrate, has been electrolytic polished in advance.

CONSTITUTION: A sheet of aluminum foil is dipped into an electrolyte vertically, a current is applied to the aluminum container equipped with a cooling device as the cathode, and an electrolytic polishing work is conducted for a fixed period. Then, the electrolytic polished aluminum foil is used as a substrate, the prescribed number of layers of an arachidic acid cadmium single molecular film is accumulated, an opposing electrode is formed by vacuum-depositing gold on the top layer, and a capacitor is obtained. As the electrode foil which is used as a substrate, nickel, stainless steel and the like can be used besides aluminum.

⑫ 公開特許公報(A)

平1-192107

⑤ Int. Cl.⁴

H 01 F 15/00
H 01 G 4/40
4/42
H 03 H 7/075

識別記号

3 2 1
3 4 1

庁内整理番号

D-7364-5E
7048-5E
6751-5E
A-7328-5J

⑬ 公開 平成1年(1989)8月2日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 LC複合部品

⑯ 特 願 昭63-16517

⑰ 出 願 昭63(1988)1月27日

⑱ 発 明 者 森 井 博 史 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内
⑲ 発 明 者 内 藤 康 行 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内
⑳ 発 明 者 安 積 健 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内
㉑ 発 明 者 坂 部 行 雄 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内
㉒ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号
㉓ 代 理 人 弁理士 岡田 和秀

明 細 書

1、発明の名称

LC複合部品

2、特許請求の範囲

(1) 磁性体の内部に導体線路が形成された一対のインダクタ層と、誘電体に一対の内部電極が埋設されたコンデンサ層とを備え、両インダクタ層間にコンデンサ層を挟み込んで積層一体化し、この積層体の両端と中間部とにそれぞれ外部電極を設け、両端の各外部電極にはそれぞれ異なる側のインダクタ層の導体線路の外端を接続し、両インダクタ層の導体線路の内端部どうしをコンデンサ層内の一方の内部電極を介して導通接続し、コンデンサ層の他方の内部電極を中間の外部電極に接続したことを特徴とするLC複合部品。

3、発明の詳細な説明

<産業上の利用分野>

本発明は、主として高周波回路のノイズフィルタとして用いるLC複合部品に関する。

<従来の技術>

ノイズフィルタとして用いるLC複合部品は、

第7図に示すように、コンデンサCと一対のインダクタL₁、L₂をTタイプに接続した等価回路を構成するものであり、一般には第6図に示すように、ディスク状コンデンサ20の一方の電極面にアース側リード端子21を、また、他方の電極面に一対の信号ライン側リード端子22、23をそれぞれ半田などで接続するとともに、各信号ライン側のリード端子22、23にフェライトビーズ24をそれぞれ挿嵌して各インダクタのインダクタンスを高めた、いわゆるディスク状3端子型のものが主として用いられている。

<発明が解決しようとする問題点>

しかし、このような3端子型のノイズフィルタは、回路基板上に起立した姿勢で取付けられるものであるために、基板上での実装スペースが大きくなり、昨今部品のチップ化により小型化、薄型化、高密度実装化が進む状況にあっては、チップ化、小型化の要望に対応し得ないものであった。

本発明は、このようなLC回路を構成する電子

部品のチップ化を図ることを目的とするものである。

<問題点を解決するための手段>

本発明では、このような目的を達成するために、磁性体の内部に導体線路が形成された一対のインダクタ層と、誘電体に一対の内部電極が埋設されたコンデンサ層とを備え、両インダクタ層間にコンデンサ層を挟み込んで積層一体化し、この積層体の両端と中間部とにそれぞれ外部電極を設け、両端の各外部電極にはそれぞれ異なる側のインダクタ層の導体線路の外端を接続し、両インダクタ層の導体線路の内端部どうしをコンデンサ層内の一方の内部電極を介して導通接続し、コンデンサ層の他方の内部電極を中間の外部電極に接続したものである。

<作用>

上記構成によると、一対のインダクタ層とコンデンサ層とで、TタイプのLC回路が構成される。そして、積層体両端の外部電極を信号ラインに接続し、中間の外部電極をアースすると、信号ライ

9, 10を上下に対向して埋設して構成されている。

そして、前記両インダクタ層 L_1, L_2 のうち、上層のインダクタ層 L_1 の内部電極6の外端6aが一方の外部電極1に、また、下層のインダクタ層 L_2 の内部電極7の外端7aが他方の外部電極2にそれぞれ接続され、かつ、両インダクタ層 L_1, L_2 の内部電極6, 7の内端がコンデンサ層Cの下側の内部電極10に、また、コンデンサ層Cの上側の内部電極9が中間の外部電極3に、それぞれ接続されて、第7図に示す等価回路が構成されている。

次に各部の具体的な構成を詳細に説明する。

上層のインダクタ層 L_1 は、第4図に示すように、上面に内部電極6が印刷された複数枚の磁性体グリーンシート4a群の上下に、電極印刷を施していない複数枚の磁性体グリーンシート4b群と、スルーホール11が形成された複数枚の磁性体グリーンシート4c群とを積層したものであって、内部電極6の外端(左端)6aがグリーンシ

ンに2個のインダクタが介在するとともに、両インダクタの接続部でアースとの間に容量が得られ、ノイズフィルタとして作用する。

<実施例>

以下、本発明を図面に示す実施例に基づき詳細に説明する。

第1図に本発明に係る複合部品の縦断側面が、第2図にその一部を切欠いた外觀が、第3図にその内部電極の構成が、また、第4図に分解状態がそれぞれ示されている。

この複合部品は、上下一対のインダクタ層 L_1, L_2 の間にコンデンサ層Cを挟み持った三層構造のチップ部品に構成されたものであって、左右両端に信号ライン用の外部端子1, 2が備えられるとともに、左右中間の側面にアース側の外部端子3, 3'が備えられている。

インダクタ層 L_1, L_2 は、磁性体4, 5の内部に導体線路として複数の内部電極6, 7をそれぞれ埋設して構成されている。

コンデンサ層Cは、誘電体8に一対の内部電極

ト4aの一端(左端)に露出されるとともに、各内部電極6の内端(右端)に、他の磁性体グリーンシート4cのスルーホール11に接続されるスルーホール12が形成されている。

下層のインダクタ層 L_2 は、上層のインダクタ層 L_1 を上下及び左右に反転したものであって、内部電極7が印刷された複数枚の磁性体グリーンシート5a群の上下に、スルーホール13が形成された磁性体グリーンシート5b群と、電極印刷を施していない磁性体グリーンシート5c群とを積層して構成され、かつ、内部電極7の外端(右端)7aがグリーンシート5aの他端(右端)に露出されるとともに、各内部電極7の内端(左端)に、他の群の磁性体グリーンシート5bのスルーホール13に接続されるスルーホール14が形成されている。

また、コンデンサ層Cは、上層のインダクタ層 L_1 のスルーホール11に対応するスルーホール15が形成された誘電体グリーンシート8aと、上層の内部電極9およびスルーホール16が形成

された誘電体グリーンシート8bと、スルーホール17のみが形成された誘電体グリーンシート8cと、下層の内部電極10が印刷形成された誘電体グリーンシート8dとを積層して構成されたものであって、上層の内部電極9の側端9a, 9aがグリーンシート8bの側端に露出されるとともに、下層の内部電極10の両端にスルーホール18, 19が連続状に形成されている。

以上のように構成された磁性体グリーンシート4a, 4b, 4c, 5a, 5b, 5cと、誘電体グリーンシート8a, 8b, 8c, 8dとを上下に積層して一体焼成するとともに、積層体の両端及び中間の側面に外部電極1, 2, 3を付設することで、第1図及び第2図に示すように、上層のインダクタ層L₁の内部電極6群の外端6aが一方の外部電極1に接続されるとともに、第4図に示すように、内部電極6群の内端がスルーホール12, 11, 15, 16, 17, 18を介してコンデンサ層Cの下層の内部電極10に接続され、また、下層のインダクタ層L₂の内部電極7群の内端がスルーホール14, 1

3, 19を介してコンデンサ層Cの下層の内部電極10に接続されるとともに、内部電極7群の外端7aが他方の外部電極2に接続され、更に、コンデンサ層Cの上層の内部電極9の側端9a, 9aが中間部の外部電極3に接続されるのである。

<別実施例>

第5図に示すように、コンデンサ層Cに内部電極9, 10を複数枚ずつ対向埋設して容量を任意に設定することができる。

<発明の効果>

以上のように本発明によれば、LC回路を構成する部品をチップ化することができ、回路基板上に実装スペース少なく、装着することが可能となった。

特に本発明においては、一対のインダクタ層およびコンデンサ層の三層構造としているために、実装面積を変えずに、各種特性のLC複合部品を構成することができる利点も備えている。

4、図面の簡単な説明

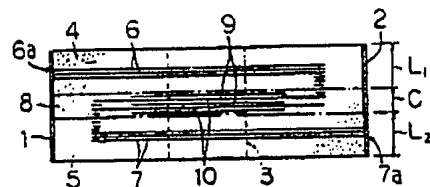
第1図は本発明に係るLC複合部品の縦断側面図

図、第2図はその一部切欠き外観図、第3図は内部電極の構成を示す斜視図、第4図は積層体の分解斜視図、第5図は別実施例の縦断側面図である。

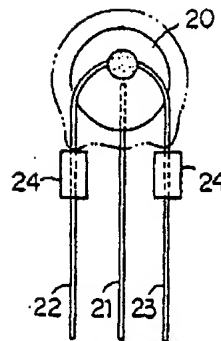
第6図は従来例の正面図、第7図は等価回路である。

L₁, L₂…インダクタ層、C…コンデンサ層、1, 2, 3…外部電極、4, 5…磁性体、6, 7…内部電極、8…誘電体、9, 10…内部電極。

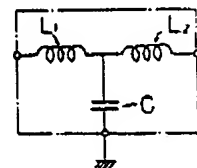
第5図



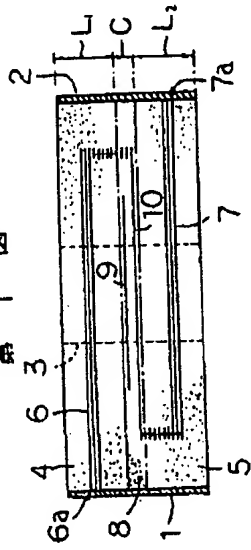
第6図



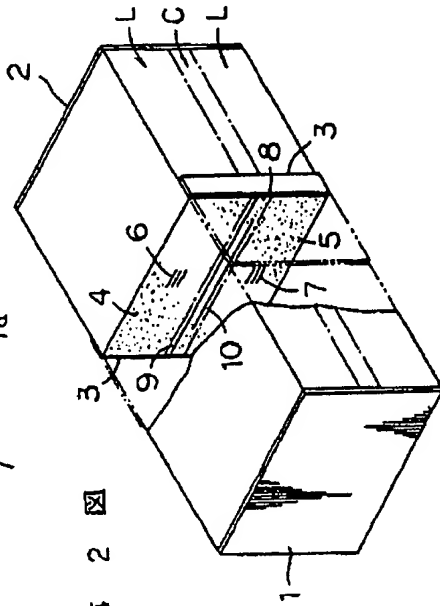
第7図



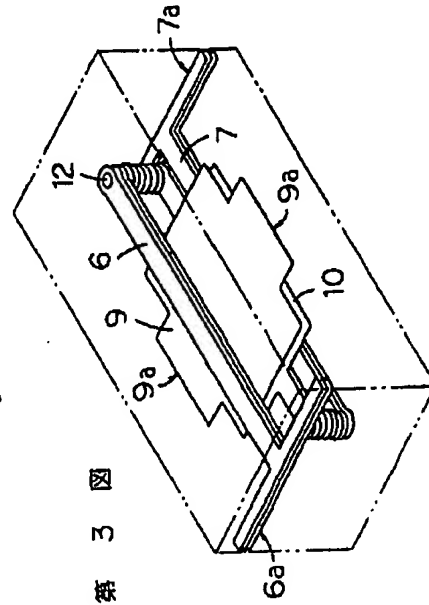
第 1 図



第 2 図



第 3 図



第 4 図

